

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c903 U.S. PTO

09/893164

06/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月27日

出 願 番 号

Application Number:

特願2000-192185

出 願 人

applicant(s):

株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月20日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 K00006251

【提出日】 平成12年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/38
H04L 7/08

【発明者】

【住所又は居所】 神奈川県秦野市堀山下 1 番地 株式会社 日立製作所
エンタープライズサーバ事業部内

【氏名】 佐伯 裕治

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代表者】 庄山 悦彦

【代理人】

【識別番号】 100073760

【弁理士】

【氏名又は名称】 鈴木 誠

【手数料の表示】

【予納台帳番号】 011800

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相調整制御方法及び情報処理装置

【特許請求の範囲】

【請求項 1】 周波数は同じであるが位相は必ずしも一致しないクロックで動作するユニット間に、多段階に遅延時間を制御可能な可変遅延手段を設け、前記可変遅延手段の遅延時間を制御してユニット間の送受信データの位相を調整する位相調整制御方法であって、

前記可変遅延手段の遅延時間を順次制御してユニット間でテストデータを送受信し、該テストデータが正しく送受信できたかチェックし、

前記テストデータのチェック結果と伝送路の特性及び周波数に基づいて外部から設定される遅延時間変動情報及び位相マージン情報の値とを用いて、前記可変遅延手段の遅延時間を最適に設定する、
ことを特徴とする位相調整制御方法。

【請求項 2】 請求項 1 記載の位相調整制御方法において、可変遅延手段の遅延時間の最適設定には、遅延時間の小さい方から、テストデータが正しく受信できるものを優先させることを特徴とする位相調整制御方法。

【請求項 3】 請求項 1、2 記載の位相調整制御方法において、

送信側ユニット及び受信側ユニット内部における送受信データの処理をユニット間のデータ伝送周波数の半分の周波数で行っている場合に、送受信データに伴って送られる制御信号を、送受信ユニットの処理ピッチに合わせてデータの半分の周波数で伝送し、制御信号に対する可変遅延手段の遅延時間をデータ伝送サイクルの半分だけ、データの遅延時間に対してずらすことを特徴とする位相調整制御方法。

【請求項 4】 周波数は同じであるが位相は必ずしも一致しないクロックで動作する複数の処理ユニットと、前記ユニット間を接続する伝送路とからなる情報処理装置において、

前記ユニット間の送受信データの位相を調整するために、多段階に遅延時間を制御可能な可変遅延手段と、

テストデータを送受信する手段と、

前記可変遅延手段の遅延時間を順次制御して、前記テストデータが正しく送受信できるかチェックする手段と、

伝送路の特性及び周波数に基づいて外部から設定される遅延時間変動情報及び位相マージン情報の値を保持する保持手段と、

前記テストデータのチェック結果と前記保持された遅延時間変動情報及び位相マージン情報の値とを用いて、前記可変遅延手段の遅延時間を最適に設定する手段と、

を有することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、並列プロセッサ等の情報処理装置において、複数のユニットが非同期ではあるが同一の周波数で動作する場合のユニット間の信号受け渡し技術に関し、特にクロック信号に対するデータ信号等の位相を調整してデータを正しく取り込むようにする位相調整制御方法及びそれを適用した情報処理装置に関する。

【0002】

【従来の技術】

多数のプロセッサを搭載し同時に動作させる情報処理装置において、プロセッサ間でデータを正しく送受信する方法は、簡単には装置内のクロックの周波数と位相を全てのプロセッサで等しくしてデータを送受信することである。しかしながら、クロック周波数を上げて性能の向上を図る場合、プロセッサに用いられるLSIの製造ばらつきや、クロック発生器から各プロセッサまでの配線距離のばらつき等に起因するクロック位相のばらつきが相対的に無視できなくなり、この方法ではクロック周波数の向上には限界がある。

【0003】

互いの周波数は等しいが位相は異なるクロックで動作するプロセッサ間においてデータを送受信する方法は、例えば特開平8-329000号公報に記載されている。この方法では、送信側プロセッサのクロック信号に同期して送出された複数のビットから成るパラレルデータを、受信側クロック信号に同期して正しく

取り込まれるように制御可能な可変遅延回路を伝送路中に設ける。送信側プロセッサは、単純なパターン、例えばクロック信号を8分周した信号をテストデータとして該送信側プロセッサのクロック信号に同期して送出する。受信側ユニットには、当該テストデータ信号からクロック信号と受信データとの位相関係を検出し、その結果を用いて自動的に可変遅延回路を制御する位相比較制御回路を設ける。

【0004】

位相比較制御回路では、テストデータ信号を所定時間 β だけ遅らせた信号を受信側のクロックで取り込んだ結果と、受信側のクロックを所定時間 α だけ遅らせたクロックに同期してテストデータ信号を取り込んだ結果を比較し、受信データが到達する時刻がクロックに近いかな否かを判定する。従って、受信データとクロックが離れていると判定された場合には、受信データはクロックに対して $-\alpha \sim +\beta$ の範囲を超えて離れていることになり、 α と β の値がデータ伝送の途中で発生するノイズ等による遅延時間変動より大きな値になっていれば、正しくデータ送受信を行うことができる。逆に受信データとクロックが近いと判定された場合には、可変遅延回路を制御して受信データとクロックが離れていると判定されるころまで受信データの位相をずらす。可変遅延回路は多段階に遅延時間を制御できるようにすれば、クロックに対して $-\alpha \sim +\beta$ の範囲を超えて離れているという条件をより容易にみたすことができるため、結果としてより高い周波数でのデータ伝送が可能となる。

【0005】

このように、特開平8-329000号公報に記載の方法では、LSIの製造ばらつきやクロック位相のばらつき等に起因する送信側ユニットを構成するLSIと受信側ユニットを構成するLSIとその間を接続する信号伝送路を合わせた遅延時間のばらつきを、テストデータ信号を使って、例えばリセット時に実際の信号伝送路を用いてクロック信号に対する位相関係を検出し、可変遅延回路の遅延時間の初期設定を行うことによって補正して、クロックの1サイクル毎に1回の割合でデータを送ることができる。

【0006】

この方法でパラレルデータの送受信を行う場合には、パラレルデータを構成する全てのビットについてクロック信号に対する位相関係の検出を行った方が、より精度の高いばらつきの補正が可能となる。このためには、テストデータ信号を通せるように送信側ユニットの最終段フリップフロップの前段にセレクタを設け、受信側ユニットにおいてはすべてのデータビットの位相比較制御を行えるように回路を構成する必要がある。

【0007】

このパラレル受信データのクロック信号に対する位相関係の検出を、パリティチェックにより行う方法がある（例えば、特願平10-366769号参照）。この方法では、位相調整を行う時には、送信側ユニットのセレクタを切り替えてテストデータを全ビットに伝送し、受信側ユニットでは多段階に遅延時間を制御可能な可変遅延回路を有し、このすべての遅延時間のバリエーションについて、パリティチェックによるテストデータ受信の正当性のチェックを行うことで、受信側クロックが受信データのどの遅延時間に対応する位相と合致しているかを検出する。この結果をもとに、受信データの遅延時間を受信側クロックに対してなるべく離れた位相になるように設定することにより、ノイズ等による遅延時間変動の影響を被ることなく正しくデータを伝送できる。

【0008】

このパリティチェック結果からの遅延時間の決定は、判定表を引くことにより行う。例えば、8段階に遅延時間を変えられる可変遅延回路を有する場合、256パターンのパリティチェック結果がありうるが、その全てについて、最適な遅延時間、或いは、最適な遅延時間を決定できない旨のエラーを出力する論理を、受信側のLSIに判定表として組み込んでおくようにする。

【0009】

一般にノイズ等による遅延時間変動は遅延時間の増加する方向と減少する方向について均等にはならない。そこで、この変動時間の差に対応する遅延をあらかじめ可変遅延回路に組み込んでおき、位相調整を行う時のみ変動時間の差に対応する遅延を加えてパリティチェックを行い、この結果から遅延時間が決定された後は変動時間の差に対応する遅延は行わないことによって、遅延時間変動の増減

方向による差を自動的に補正する仕組みとすることもある。

【0010】

また、テストデータパターンとして8分周信号のような実際に送受信されるデータより低いピッチの単純な繰り返し信号を用いるのではなく、ノイズ等による遅延時間変動が生じやすいデータパターンを用いることによって、同時切り替えノイズやクロストークノイズの影響を位相調整結果に反映させて、必要とする補正項目を減らすことでより、正確な遅延時間の決定を行うようにすることもできる。

【0011】

【発明が解決しようとする課題】

上述した特開平8-329000号公報に記載の従来技術では、 α 及び β がLSI設計時に決まってしまうため、実使用時に想定外の遅延時間変動が発生した場合には、LSI設計段階まで戻らなければならず、修正に多大な時間とコストを要してしまう。

【0012】

また、 α 及び β の設計値についても、LSI製造ばらつきを考慮して実際に起こる遅延時間変動量よりも大きな値で設計しなければならないため、送受信を行う全てのユニット間におけるデータとクロックの位相関係を任意とし、かつ選別を行うことなくLSIを任意に使用できるようにするためには、伝送周波数の向上が制限される。

【0013】

さらに、電源電圧やLSI温度の変動による影響は、可変遅延回路における遅延時間が大きい場合ほど大きい遅延時間の変動となって現れることになるが、この影響が考慮されていない。

【0014】

一方、伝送周波数を向上させるために多段階の可変遅延回路を用い、その遅延時間の決定をパラレルデータのパリティチェック結果から判定表に引いて行う方法においても、判定表をLSI論理に組み込むために必要な論理ゲート数が可変遅延回路の段数の累乗で増加してしまい、伝送周波数の向上が制限される。また

、この場合も、実使用時に想定外の遅延時間変動が発生し判定表の修正が必要となった場合には、LSI 設計段階まで戻らなければならず、修正に多大な時間とコストを要する。

【 0 0 1 5 】

また、ノイズ等による遅延時間変動の遅延時間の増加する方向と減少する方向についての差を可変遅延回路に組み込んで補正する方法においても、その変動時間差に相当する遅延がLSI 製造ばらつきに依存する問題と、設計値の修正に時間とコストを要する問題がある。

【 0 0 1 6 】

パラレルデータを構成する各ビットの伝送遅延を一定に設計し、パラレルデータ毎に位相比較制御回路を持って全ビットに同じ遅延を与えることで位相を調整する方式では、LSI あたり多くの信号を送出する場合、設計上同時に出力信号の切り替えが行われることになり、出力回路に流れる電流変化に伴って発生する同時切り替えノイズによって、伝送周波数の向上、或いは、LSI あたりに設けることのできる信号ピン数に制限が生じる。

【 0 0 1 7 】

信号ピン数に制限のあるLSI を用いて高性能のデータ転送制御を実現するためにデータ幅を拡張し、複数のLSI を組みにしてそれぞれのLSI がデータ幅の一部の制御を担当する形でデータの転送経路を構成する場合に、それぞれのLSI が同期して処理を行うのが最も簡単な方法である。このような形態のデータの転送経路において、あるLSI 間でのみデータに伴って送られる制御信号に誤りが生じると、誤りの生じたLSI における制御だけが他のLSI とは異なる状態になってしまい、障害の回復には複雑な手順が必要となり、重度障害としてシステムダウンの原因となりうる。このため制御信号の伝送に関しては、何らかの障害回避の手段が設けられていることが望ましい。

【 0 0 1 8 】

本発明の目的は、周波数が同じであるが位相は必ずしも一致しないクロックで動作するユニット間での信号を送受信する伝送路中に設けられる、クロック信号に対する受信データの位相を多段階に調整可能な可変遅延回路を正確に制御する

ことによって、より高い伝送周波数でデータ送受信を可能とする位相調整制御方法及びそれを適用した情報処理装置を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

本発明では、ノイズ等による遅延時間変動を初期設定情報として外部からのソフトウェア制御等によって与えられるようにする。そして、クロック信号に対する受信データの位相を多段階に調整する可変遅延回路の遅延時間の決定にあたっては、すべての遅延時間のパリエーションについて行ったパリティチェック結果等からテストデータを正しく受信できない遅延時間の範囲を特定し、このデータが正しく送受信できなくなる境界となる遅延時間に対して、外部から与えられた遅延時間変動及び位相マージンの値を加減算することによって、ノイズ等による遅延時間変動の影響を被ることなく安全にデータを受信できる遅延時間を決定する。

【 0 0 2 0 】

初期設定情報として外部から与える遅延時間変動情報は、設計の前段階に行われる伝送路の特性やノイズ量の評価結果に基づいて導出され、可変遅延回路が調整可能な最小の遅延時間を単位にして与えられる。実使用時に想定外の遅延時間変動が発生した場合には、通常の場合外部記憶装置に保存されている初期設定情報の変更だけで修正が可能になる。また、遅延時間の増加する方向と減少する方向についてそれぞれ別にレジスタを設けて遅延時間変動情報を与えられるようにすることにより、方向による変動時間差に対応する遅延をあらかじめ可変遅延回路に組み込んでおくことなく、容易に修正可能な形で補正を実現することができる。

【 0 0 2 1 】

さらに、LSIの製造ばらつきによって可変遅延回路の遅延時間が変わる分を位相マージンとして確保しておかなければLSI選別を行うことなく任意に使用することはできないので、この位相マージンを遅延時間変動情報として与えることのできるレジスタも、遅延時間の増加、減少方向それぞれについて別に設ける。データ伝送周波数が比較的低い場合には、外部から大きい位相マージンの値を

与えることができ、伝送周波数にバリエーションがあったとしても初期設定情報の変更だけで位相マージンの最適化を実現することができる。

【 0 0 2 2 】

具体的には、可変遅延回路の遅延時間の決定は、パリティチェック結果等から特定したテストデータを正しく受信できない遅延時間の範囲の境界となる遅延時間に対して、遅延時間減少方向の境界から遅延時間変動と位相マージンの値を減算する方法、或いは、遅延時間増加方向の境界に遅延時間変動と位相マージンの値を加算する方法によって行う。また高い伝送周波数の場合には1周期分遅れたテストデータを正しく受信できない遅延時間の範囲が存在し、遅延時間増加方向と減少方向の境界には含まれた形のテストデータを正しく受信できた遅延時間の範囲から選択する方法があり、この場合には、増加方向、減少方向のそれぞれの境界からともに遅延時間変動と位相マージンの値を加算、減算して残った部分から中央値を選択する。これら3通りの遅延時間の計算を行うことのできる手段を、パリティチェック結果から特定したテストデータを正しく受信できない遅延時間の範囲の遅延時間増加、減少両方向の境界を特定する手段とともに設ける。

【 0 0 2 3 】

上記3通りの方法で求められた遅延時間のうち、可変遅延回路の遅延時間が最小とした時に十分なマージンをもってテストデータを正しく受信できる場合に相当する、遅延時間減少方向の境界から遅延時間変動と位相マージンの値を減算する方法がとれる場合には、この方法で遅延時間を決定する。この方法がとれない場合には、1周期分遅れたテストデータを正しく受信できない遅延時間範囲が存在するかどうかによって、残り2通りの方法によって求められた遅延時間から選択するものとする。この順位づけによって、可変遅延回路における遅延時間が大きい場合ほど大きい変動となって現れる電源電圧やLSI温度の変動による影響を抑えて、テストデータを正しく受信できない遅延時間の範囲が送受信を行うユニット間におけるデータとクロックの位相関係に応じて任意にシフトしても位相マージンの確保することができる。

【 0 0 2 4 】

このように、任意にデータとクロックの位相関係を変更できる回路に対しては

、送信側 L S I の出力信号数が多く同時切り替えノイズが問題になる場合に、送信回路においても多段階の可変遅延回路を設けることによって出力データの位相を変更可能とすることによってノイズを削減することができる。

【 0 0 2 5 】

また、このように、判定表を用いずレジスタと加算器に組み合わせ論理による方法によれば、必要な論理ゲート数が可変遅延回路の段数の累乗で増加することなく遅延時間の決定が行えるため、調整可能な可変遅延回路の段階数を増加させて位相の調整をより微細な単位で正確に行うことを通じて、データ伝送周波数の向上を実現することができる。

【 0 0 2 6 】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照して詳細に説明する。図 1 は本発明の一実施形態の構成例を示すブロック図である。図 1 において、100 は送信側ユニット、200 は受信側ユニット、300、310 及び 320 は送信側ユニット 100 と受信側ユニット 200 を接続する伝送路である。送信側ユニット 100 はテストデータ生成部 120、送信データ制御部 150、セクタ 103、113、パリティ生成部 123、フリップフロップ 104、114、124、出力バッファ 105、115、125 を具備する。受信側ユニット 200 は入力バッファ 202、212、222、可変遅延回路 203、213、223、フリップフロップ 204、214、224、AND ゲート 205、215、受信データ制御部 250、パリティチェック部 400、チェック結果用ラッチ回路 401、セクタ 403、503、構成情報保持部 500、カウンタ部 501、遅延時間計算部 502、遅延時間用ラッチ回路 504、デコーダ 505 を具備する。

【 0 0 2 7 】

送信側ユニット 100 はクロック信号 101 に従って動作し、受信側ユニット 200 はクロック信号 201 に従って動作するものとする。但し、図 1 では省略したが、クロック信号 101 及び 201 は同一のクロック発生器から供給され、周波数は一致するが、その供給経路の遅延時間ばらつき等のため位相は必ずしも

一致しないことを前提とする。

【0028】

通常、データ転送は、送信側ユニット100内部の送信データ制御部150からのデータ信号102をセレクタ113を介し、クロック信号101に同期してフリップフロップ104、出力バッファ105により送出し、伝送路300を経由して受信側ユニット200に伝播し、受信側ユニット200にて、入力バッファ202、可変遅延回路203を通り、クロック信号201に同期してフリップフロップ204に取り込むことによって行う。このデータ信号102に伴って、制御信号112がセレクタ113を介し、クロック信号101に同期してフリップフロップ114、出力バッファ115から送出され、伝送路310を経由し、受信側ユニット200にて、入力バッファ212、可変遅延回路213を通り、クロック信号201に同期してフリップフロップ214に取り込まれ、ANDゲート215を介して受信データ制御部250に入力される。同様に、フリップフロップ204に取り込まれたデータは、ANDゲート205を介して受信データ制御部250に入力される。

【0029】

可変遅延回路203及び213は、受信側ユニット100でクロック信号101に同期してフリップフロップ104及び114から送出されるデータ及び制御信号が、受信側ユニット200で全て同じ時刻のクロック信号201に同期して取り込まれるように、入力バッファ202及び212の出力を遅延してフリップフロップ204及び214の入力へ送出するために設置される。

【0030】

データ及び制御信号の位相は、LSIの製造ばらつきによる素子の駆動力等の違いや伝送路300及び310の遅延時間の差等により、フリップフロップ204及び214の入力する時点ではある時間幅をもってばらつく。クロック信号201の位相がこのばらつきの時間幅の中に入った場合、一部のデータ或いは制御信号は、1サイクル後のクロック信号に同期して取り込まれる場合、或いは、フリップフロップ204及び214の出力が不確定状態になる場合が起こりうる。可変遅延回路203及び213は、全てのデータ及び制御信号を一斉にある時間

だけ遅延させて、このばらつきの時間幅をクロック信号201の位相からはずす働きをしている。

【0031】

可変遅延回路203及び213の遅延時間は、遅延制御信号510を介して制御される。後述するように、遅延制御信号510のもととなる遅延時間は、遅延時間計算部502が、送信側ユニット100のテストデータ生成部120が出力するテストデータ122を、受信側ユニット200のフリップフロップ204及び214が正しく受信するように、あらかじめ信号520を介し外部から与えられて構成情報保持部500に保持される遅延時間変動及び位相マージン情報の値を参照して計算することにより決定される。テストデータ122がフリップフロップ204及び214に正しく受信されたかどうかの判定はパリティチェック部400が行う。

【0032】

受信側ユニット100のパリティビット生成部123からのパリティビットが、クロック信号101に同期してフリップフロップ124から送出され、受信側ユニット200でクロック信号201に同期してフリップフロップ224に取り込まれてパリティチェック部400に至る伝送経路は、データ及び制御信号が送信側ユニット100のフリップフロップ104及び114から受信側ユニット200のフリップフロップ204及び214に至るまでの伝送経路と同じ構成とする。より具体的には、受信側ユニット100のフリップフロップ104、114及び124、出力バッファ105、115及び125、受信側ユニット200の入力バッファ202、212及び222、可変遅延回路203、213及び223、並びに、フリップフロップ204、214及び224は同一構成の回路を使用し、各回路間の配線長や負荷数などをなるべく合わせた設計を行うのが望ましい。伝送路300、310及び320は配線長などの条件が同一の伝送路を使用することが望ましい。

【0033】

パリティチェック部400では、可変遅延回路203、213及び223が生成可能なすべての遅延時間（遅延段数）についてテストデータを遅延させた場合

のチェックを行い、チェック結果を遅延段数分だけ設けたラッチ回路 4 0 1 に保持する。この可変遅延回路 2 0 3、2 1 3 及び 2 2 3 の遅延時間を順次変えていく遅延制御信号 5 1 0 の生成のために、カウンタ部 5 0 1 が設置される。該カウンタ部 5 0 1 は位相調整制御起動信号 5 2 0 でカウントを開始し、そのカウント値が遅延時間データとしてセレクタ 5 0 3、ラッチ回路 5 0 4 を介してデコーダ 5 0 5 でデコードされ、順次、遅延制御信号 5 1 0 が生成される。

【 0 0 3 4 】

次に、本実施形態の位相調整動作を説明する。まず、位相調整動作を開始する前に、システムの立ち上げ等を制御するソフトウェアによって、外部から信号 5 2 0 を介して構成情報保持部 5 0 0 に対して遅延時間変動及び位相マージン情報の値が与えられる。その後、信号 1 3 0 を介してセレクタ 1 0 3 及び 1 1 3 をテストデータ出力に切り替えて、送信側ユニット 1 0 0 からクロック 1 0 1 に同期してテストデータとそのパリティビットの送出を開始し、受信ユニット 2 0 0 では、信号 5 3 0 を介してカウンタ部 5 0 1 に対して位相調整制御の起動をかける。カウンタ部 5 0 1 では、遅延制御信号 5 1 0 の生成を該カウンタ部 5 0 1 から行うようにセレクタ 5 0 3 を切り替え、一定の間隔で遅延時間の小さい順に、可変遅延回路 2 0 3、2 1 3 及び 2 2 3 の遅延時間を最小から最大まで変化させていく。この間、パリティチェック部 4 0 0 では、クロック 2 0 1 に同期してフリップフロップ 2 0 4、2 1 4 及び 2 2 4 のテストデータとパリティビットを取り込み、それぞれの遅延時間に対してパリティチェックを行い、順次、パリティチェック結果をセレクタ 4 0 3 を介してラッチ回路 4 0 1 に保持していく。すべての遅延時間についてのチェック結果が揃った時点で、カウンタ部 5 0 1 は遅延時間計算部 5 0 2 に起動をかけ、セレクタ 5 0 3 を該遅延時間計算部 5 0 2 の出力に切り替える。遅延時間計算部 5 0 2 は、ラッチ回路 4 0 1 に保持された最小から最大までのそれぞれの遅延時間に対するパリティチェック結果及び構成情報保持部 5 0 0 の遅延時間変動や位相マージン情報の値を参照して最適の遅延時間を決定し、該遅延時間に対応する遅延制御信号 5 1 0 を生成する。

【 0 0 3 5 】

以上のようにして可変遅延回路 2 0 3 及び 2 1 3 の遅延時間が決定されたなら

、送信側ユニット100では、信号130を介してセクタ103及び113を送信データ制御部150の出力に切り替え、受信側ユニット200では、ANDゲート205及び215を開いて、データ及び制御信号の受信データ制御部250への入力を有効にする。

【0036】

以下、図2から図5によって遅延時間計算部502について詳しく説明する。

【0037】

まず、図2を用いて、遅延時間を計算するにあたって問題となるフリップフロップ204、214及び224の入力とクロック信号201の位相関係を説明する。ここで、クロック周期をTとし、可変遅延回路203、213及び223において最小の遅延時間を選択した場合に、パリティチェック部400において正しく受信が行われないと判定される、位相調整時の入力信号の不確定時間を $2 \times A1$ 、実使用時の入力信号の不確定時間の位相調整時に対する増分のうち、遅延時間減少方向への増分をB1、遅延時間増加方向への増分をC1とする。また、位相調整時の入力信号の不確定時間帯の中心時刻からクロック信号201の立ち上がり時刻を差し引いた位相差をD1とする。

【0038】

クロック信号に対する入力信号の位相差は、可変遅延回路203、213及び223による遅延時間によって増加する。これをD1、D2、 \dots Dn ($n =$ 可変遅延回路が調整可能な遅延段数) とする。A1に算入される同一LSIチップでの製造ばらつきに起因するビット間遅延時間のばらつき、及び、B1及びC1に算入される電源電圧やLSI温度の変動による影響は、可変遅延回路における遅延時間が大きい場合ほど大きい入力信号不確定時間となって現れるため、位相差D1、D2、 \dots Dnに対応して値が増加する入力信号不確定時間を、A1、A2、 \dots An、B1、B2、 \dots Bn、C1、C2、 \dots Cnとしている。ここで、クロック信号の立ち上がり時刻において、位相調整時の入力信号不確定時間帯 $2 \times A_j$ にかかる遅延時間jについてのチェックは正しく受信が行われないと判定される。

【0039】

次に、図3を用いて、図2に示した一例の位相関係において、ラッチ回路401に保持されるテストデータのパリティチェック結果と、外部から構成情報保持部500に与えられる遅延時間変動及び位相マージン情報の値から、遅延時間計算部502が算出する遅延時間との関係について説明する。

【0040】

図2に示した例では、パリティチェック結果から特定したテストデータを正しく受信できない遅延時間の範囲の境界となる遅延時間は、遅延時間減少方向の境界が5番目($P0=5$)と25番目($P2=25$)に小さい遅延時間であり、遅延時間増加方向の境界は9番目($P1=9$)に小さい遅延時間にあたる。図3では、これら3通りの遅延時間で可変遅延回路203、213及び223を動作した場合の入力信号不確定時間の様子を示している。

【0041】

第一の境界 $P0$ から遅延時間減少方向にテストデータが正しく受信できているが、実使用時には、電源電圧ノイズ及びLSI温度変動等による遅延時間変動 $C5$ によって、データ伝送が正しく行われなくなる時間帯がある。同様に、第二、第三の境界 $P2$ 、 $P1$ には含まれたテストデータが正しく受信できている範囲にも、 $C25$ 、 $B9$ で示す遅延時間変動の時間帯が存在する。これらの遅延時間変動量は、これらの伝送路の特性から評価できる。即ち、電源電圧ノイズ発生量及び温度変動量に感度係数をかけてLSIゲート遅延の総計を乗算して遅延時間減少方向及び増加方向のそれぞれについて導出できる。これらの遅延時間増加方向及び減少方向に対する遅延時間変動情報を、それぞれ Gt 及び Ht として外部から設定できるように、構成情報保持部500に対してレジスタを設ける。ここに設定される Gt 及び Ht は、可変遅延回路203、213及び223が調整可能な最小の遅延時間の設計値を単位として端数は切り上げて与えられ、また実際の遅延時間変動量はLSIゲート遅延の総計に比例するが、 Gt 及び Ht は、LSIゲート遅延の総計＝可変遅延回路における遅延時間は最大の場合として求めればよい。

【0042】

LSI製造プロセスが遅延時間が大きくなる方向にばらついた場合には、これ

らの遅延時間変動量は可変遅延回路設計値に基づいて導出された G_t 及び H_t よりも大きくなる。図3においては、これをE2、E5、E9、E15、E25、F2、F5、F9、F15、F25で示している。この影響をカバーする目的で、遅延時間増加方向及び増加方向それぞれに対する位相マージン情報を αG_0 、 αG_1 及び αH として、それぞれ G_t 及び H_t とは別に外部から設定できるように、構成情報保持部500に対して同様にレジスタを設ける。ここで、 αG_0 は第一の境界P0から遅延時間増加方向への位相マージン、 αG_1 は第二の境界P2から遅延時間増加方向への位相マージン、 αH は第三の境界P1から遅延時間減少方向への位相マージンを示し、これら αG_0 、 αG_1 及び αH は、可変遅延回路が調整可能な最小の遅延時間の設計値を単位として与えられる。遅延時間増加方向に2通りの位相マージン情報の値を設定可能とするのは、P0とP2とではクロック周期にしてほぼ1サイクル分だけ遅延時間に差があって、これによる遅延時間変動の増大を無視できないからである。

【0043】

図4は遅延時間計算部502における遅延時間算出のアルゴリズムを示したものである。パリティチェック結果を遅延時間の小さい方から調べていって、テストデータを正しく受信できない遅延時間の範囲の境界となる遅延時間P0、P1、P2を特定する(ステップS1)。そして、まず、第一の境界P0から遅延時間減少方向の $P_0 - G_t - \alpha G_0$ を計算して(ステップS2)、それを第一の候補とし、この値が正の場合(ステップS3でYES)、該第一の候補を計算結果として出力する(ステップS4)。第一の候補が正でない場合は(ステップS3でNO)、第二の境界P2が検出されたかどうかで計算法が異なる。第二の境界P2が検出されない(可変遅延回路の最大遅延時間に対してデータ伝送周波数が低い)場合には(ステップS5でNO)、第二の候補として $P_1 + H_t + \alpha H$ を計算結果として出力する(ステップS7)。第二の境界P2が検出された場合には(ステップS5でYES)、第二の候補として $(P_2 - G_t - \alpha G_1 + P_1 + H_t + \alpha H) / 2$ を計算結果として出力する(ステップS6)。

【0044】

図5は、図4のアルゴリズムを実現する遅延時間計算部502の回路構成例を

示したものである。カウンタ部501から通知される、遅延時間を最小から最大まで変化させてテストデータのパリティチェックを行うステージが終了したことを示す信号701を契機にして、該遅延時間計算部502の内部カウンタ710が可変遅延回路の遅延時間に関するカウントを開始し、ラッチ回路401の出力であるパリティチェック結果700からテストデータを正しく受信できない遅延時間の範囲の境界となる遅延時間P0、P1、P2を特定し、フリップフロップ750、751、752に値をセットする。ここで、セクタ720はカウンタ710の示す遅延時間におけるパリティチェック結果を選択し、セクタ721或いは722は+1回路711或いは+2回路712を介し、カウンタ710の示す遅延時間より1段階或いは2段階遅い遅延時間におけるパリティチェック結果を選択する。また、セクタ723は-1回路713を介し、カウンタ710の示す遅延時間より1段階早い遅延時間におけるパリティチェック結果を選択する。これらの選択結果の値が変化するポイント、即ち、パリティチェック結果が正から不正に変化するポイントをANDゲート730、731、732において判定し、その時のカウンタ710の値をフリップフロップ750、751、752へセットするセット信号とする。こうして、P0、P1、P2がフリップフロップ750、751、752にセットされる。但し、第二の境界P2のフリップフロップ752に対しては、第一の境界P0がフリップフロップ750にセットされた後セットを行うため、これを判定する比較器743が設けられる。カウンタ710は、702で指示される可変遅延回路の最大遅延段数の値（最大遅延時間）まで到達すると、カウントを終了とする。最大遅延段数は構成情報保持部500にあらかじめ保持しておく。

【0045】

次に、フリップフロップ750、751、752の値と、構成情報保持部500の出力である遅延時間変動情報760、763及び位相マージン情報761、762、764から、上述の計算式に従って、770～778の演算回路を用いて3通りの遅延時間を計算し、セクタ780が判定回路781、782の大小比較に従って、3通りの遅延時間から最適の計算値を選択して790に出力する。ここで、加算回路770は $P1 + Ht + \alpha H$ を出力し、加算回路771はP

$2 - G_t - \alpha G_1$ を出力し、加算回路 772 は $P_1 + H_t + \alpha H$ を出力する。平均値計算回路 778 は加算回路 771、772 の出力を入力して、 $(P_2 - G_t - \alpha G_1 + P_1 + H_t + \alpha H) / 2$ を出力する。判定回路 781 は、 P_0 と $(G_t + \alpha G_0)$ の大小関係、即ち、 $P_0 - G_t - \alpha G_0 > 0$ かどうかを判定する。また、判定回路 782 は、 P_2 と可変遅延回路の最大遅延時間の大小関係、即ち、第二の境界 P_2 が存在するかどうかを判定する。セレクタ 780 は、判定回路 781、782 の判定結果をもとに、加算回路 770、平均計算回路 778 あるいは加算回路 772 のいずれかの出力を選択する。

【0046】

本実施の形態によれば、任意の D_1 (入力信号のクロックに対する位相差) 及び (動作限界に達するまでの) 連続したクロック周期 T に関して、同一のアルゴリズムを用いることができるため、遅延時間の決定のために必要な論理ゲート数は可変遅延回路の段数の対数で増加するにすぎない。また、製造ばらつきをどこまで許容するか基準によって、或いは、伝送周波数が比較的低いためにより大きな位相マージンが期待できるような場合には、位相マージン情報を適した値に変更して設定し直すだけで、同一のハードウェアによって計算される遅延時間を条件に合わせて最適化することができる。

【0047】

図 6 は、本発明の他の実施形態の構成例を示すブロック図である。図 6 において、図 1 と同一の部分には同一の符号が付けられている。図 1 の構成との主な相違点は、受信側ユニット 200 において、クロック信号 201 に対するデータ信号 102 の位相を調整する可変遅延回路 203 の遅延時間を制御する遅延制御信号 510 に対して、データ信号 102 に伴って送出される制御信号 112 の位相を調整する可変遅延回路 213 の遅延時間を制御する遅延制御信号 550 を分け、該遅延制御信号 550 を生成するための加算器 551、減算器 552、セレクタ 553、遅延時間ラッチ回路 554、デコーダ 555 を別に設けて、制御信号 112 を受信するフリップフロップ 214 のクロック信号に受信データ制御部 250 で用いるクロック信号 251 を用いている点である。

【0048】

テストデータのパリティチェックを行うステージでは、カウンタ部 5 0 1 の出力をセレクタ 5 0 3、ラッチ回路 5 0 4 を介してセレクタ 5 5 3 で選択し、ラッチ回路 5 5 4、デコーダ 5 5 5 でデコードすることで、制御信号 1 1 2 に対する可変遅延回路 2 1 3 の遅延時間を最小から最大まで変化させる。該可変遅延回路 2 1 3 の最適遅延時間の決定ステージでは、その遅延制御信号 5 5 0 の生成にあたる加算器 5 5 1 及び減算器 5 5 2 には、遅延制御信号 5 1 0 の生成のために図 1 の構成における場合と同じアルゴリズム（図 4、図 5）で算出される遅延時間計算部 5 0 2 からの出力と、構成情報保持部 6 0 0 を介して図 1 の構成で説明した情報（遅延時足変動、位相マージン） 5 2 0 とは別に外部から設定される所定の値 6 1 0 が入力され、制御信号 1 1 2 に対する可変遅延回路 2 1 3 の遅延時間を、データ信号 1 0 2 に対する可変遅延回路 2 0 3 の遅延時間に対して一定値だけずらす。セレクタ 5 5 3 は、遅延時間計算部 5 0 2 の出力と構成情報保持部 6 0 0 からの所定値 6 1 0 の大小を比較する比較回路 5 5 6 の比較結果に基づき加算器 5 5 1 あるいは減算器 5 5 2 のいずれかの出力を選択する。

【 0 0 4 9 】

この機能を利用すると、送信データ制御部 1 5 0 及び受信データ制御部 2 5 0 における送受信データの処理を、ユニット間伝送周波数の半分の周波数で行っている場合に、送信データ 1 0 2 に伴って送られる制御信号 1 1 2 は、送信データ制御部 1 5 0 及び受信データ制御部 2 5 0 の処理ピッチに合わせてデータ信号の半分の周波数で伝送し、制御信号に対する可変遅延回路 2 1 3 の遅延時間をデータ伝送サイクルの半分だけ、データ信号の遅延時間に対してずらすことができる。

【 0 0 5 0 】

図 7 に本実施形態のタイムチャートを示す。図 7 に示すように、制御信号をデータ信号の半分の周波数で伝送できることにより、制御信号伝送に関しては、データ信号伝送の位相マージンに対してほぼ 2 倍の位相マージン確保することが可能となり、その結果、制御信号に関する誤りの発生を防止することができる。

【 0 0 5 1 】

図 8 は、本発明の更に他の実施形態の構成を示すブロック図である。図 8 にお

いても、図 1 と同一の部分には同一の符号が付けられている。図 1 の構成と主な相違点は、送信側ユニット 1 0 0 においても可変遅延回路 1 4 0、1 4 1、1 4 2 を設けてデータ信号 1 0 2、制御信号 1 1 2、パリティビット 1 1 3 の位相を変更可能としている点である。可変遅延回路 1 4 0、1 4 1、1 4 2 の遅延制御信号 6 1 0 は、送信側ユニット 1 0 0 における構成情報保持部 6 0 0 に信号 6 0 1 を介して外部から与えられる遅延時間の値 6 0 2 を設定することで生成する。

【0 0 5 2】

この機能を利用すると、図 8 の回路を複数セット設けて L S I あたり多くの信号を送出する場合に、それぞれのセットが有する可変遅延回路に対して異なる出力遅延時間を与えることによって同時に出力信号の切り替えが行われることがなくなつて、出力回路に流れる電流変化に伴って発生する同時切り替えノイズによる伝送周波数の向上、或いは、L S I あたりに設けることのできる信号ピン数に生じる制限を緩和することができる。

【0 0 5 3】

【発明の効果】

以上説明したように、本発明によれば、周波数は同じであるが位相は一致しない非同期のクロックで動作するユニット間でデータを送受信する場合に、必要な論理ゲート数が可変遅延回路の段数の累乗で増加することなく遅延時間の決定が行えるため、伝送路中に設けられるクロック信号に対する受信データの位相を多段階に制御可能な可変遅延回路の段数を増加させて、位相調整をより微細な単位で正確に行うことが容易に可能であり、よりデータ伝送周波数の向上を実現することができるようになる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態の構成を示すブロック図である。

【図 2】

受信データとクロック信号の位相関係を示す図である。

【図 3】

遅延時間の変動と外部から設定される情報と算出される遅延時間の関係を示す

図である。

【図 4】

図 1 の遅延時間計算部の遅延時間計算アルゴリズムを示す図である。

【図 5】

図 4 のアルゴリズムを実現する遅延時間計算部の回路構成例を示す図である。

【図 6】

本発明の他の実施形態の構成を示すブロック図である。

【図 7】

図 6 の構成のタイムチャートである。

【図 8】

本発明の更に他の実施形態の構成を示すブロック図である。

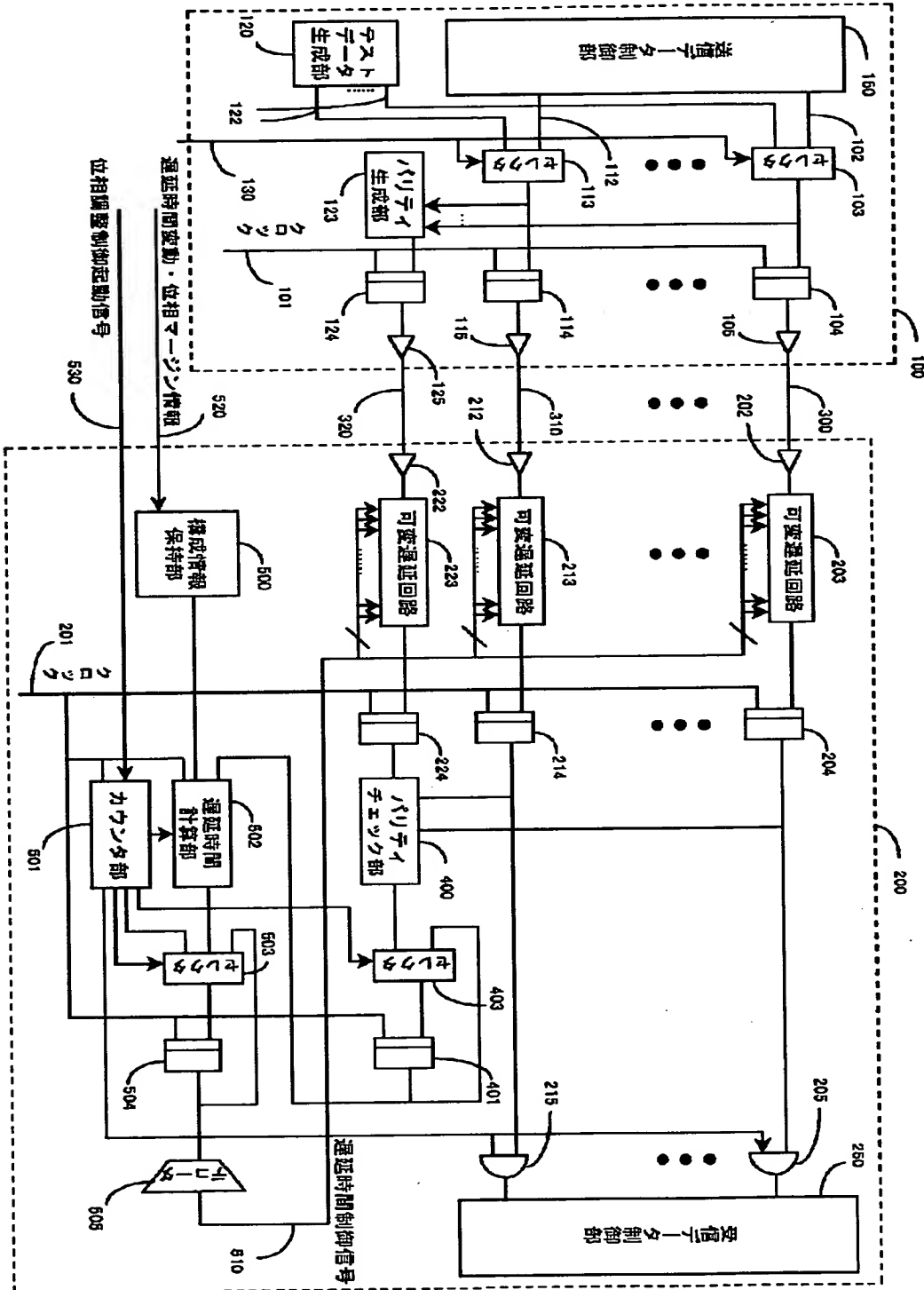
【符号の説明】

- 1 0 0 送信側ユニット
- 2 0 0 受信側ユニット
- 2 0 1、 2 5 1 クロック信号
- 1 0 2 データ信号
- 1 1 2 制御信号
- 1 2 2 テストデータ信号
- 1 2 3 パリティ生成部
- 2 0 3、 2 1 3、2 2 3、1 4 0、1 4 1、1 4 2 可変遅延回路
- 3 0 0、3 1 0、3 2 0 信号伝送路
- 4 0 0 パリティチェック部
- 5 0 0、6 0 0 構成情報保持部
- 5 0 1 カウンタ部
- 5 0 2 遅延時間計算部
- 5 1 0、5 5 0 遅延制御信号
- 5 2 0 遅延時間変動及び位相マージン情報
- 6 1 0 位相調整情報

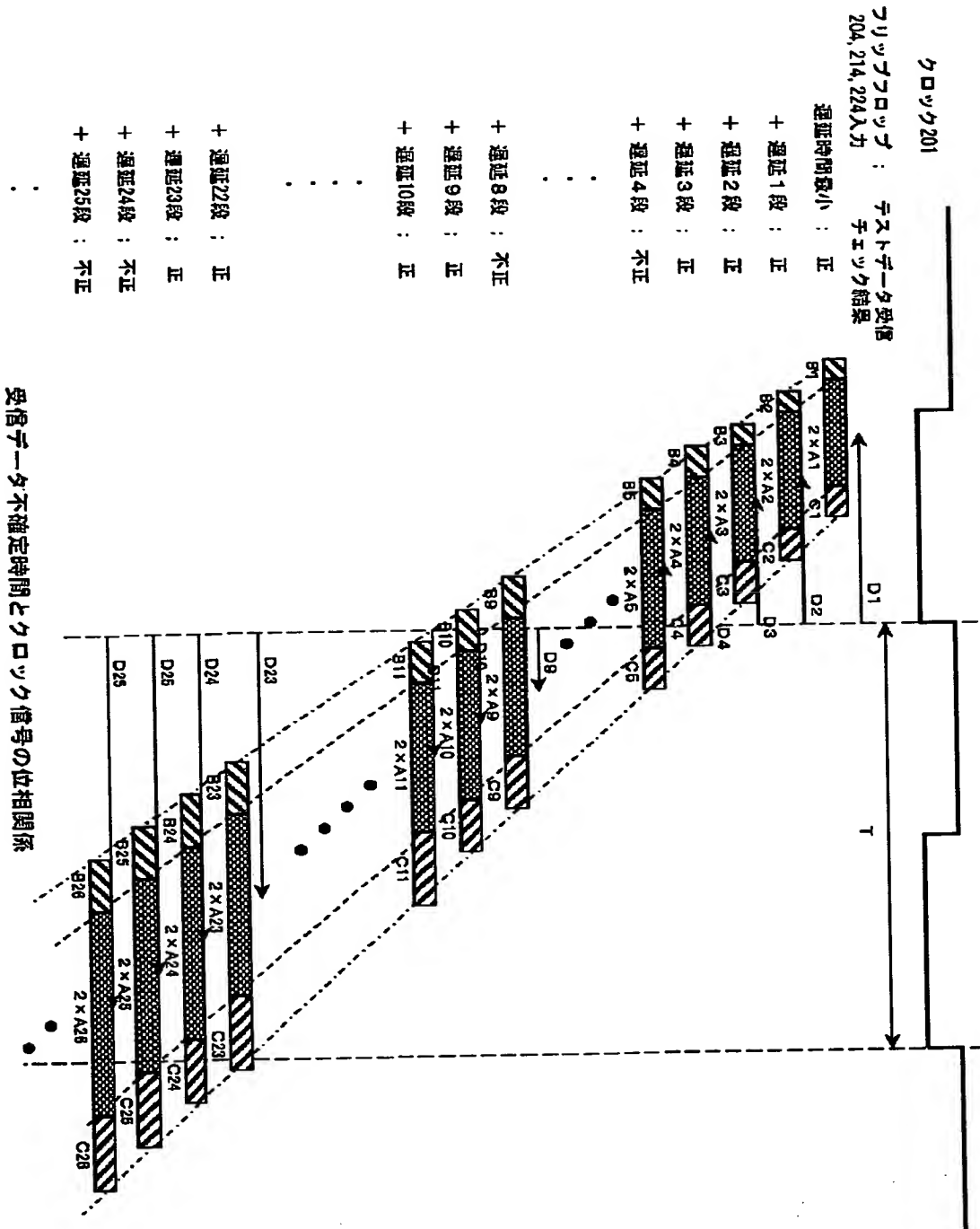
【書類名】

図面

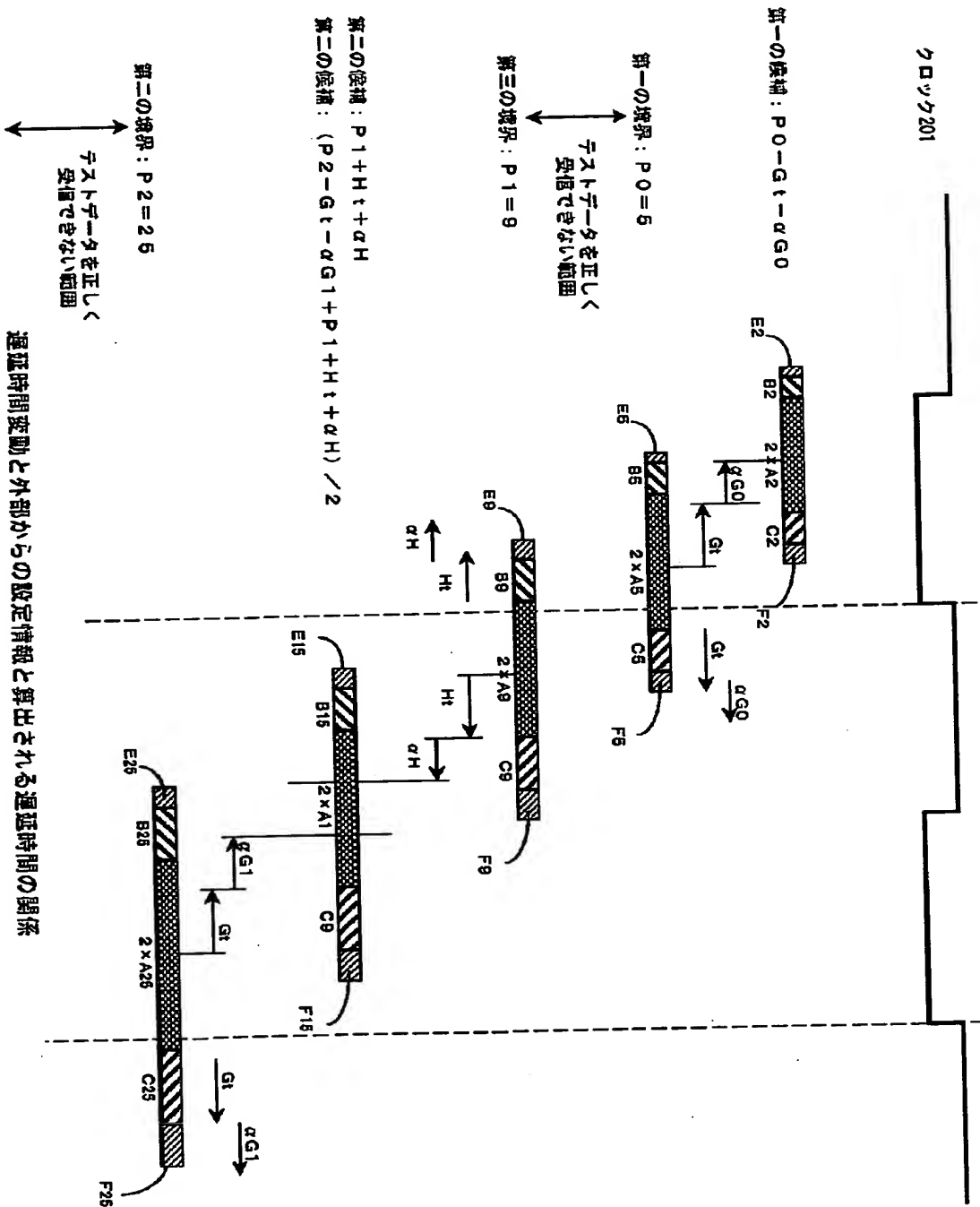
【図1】



【図2】

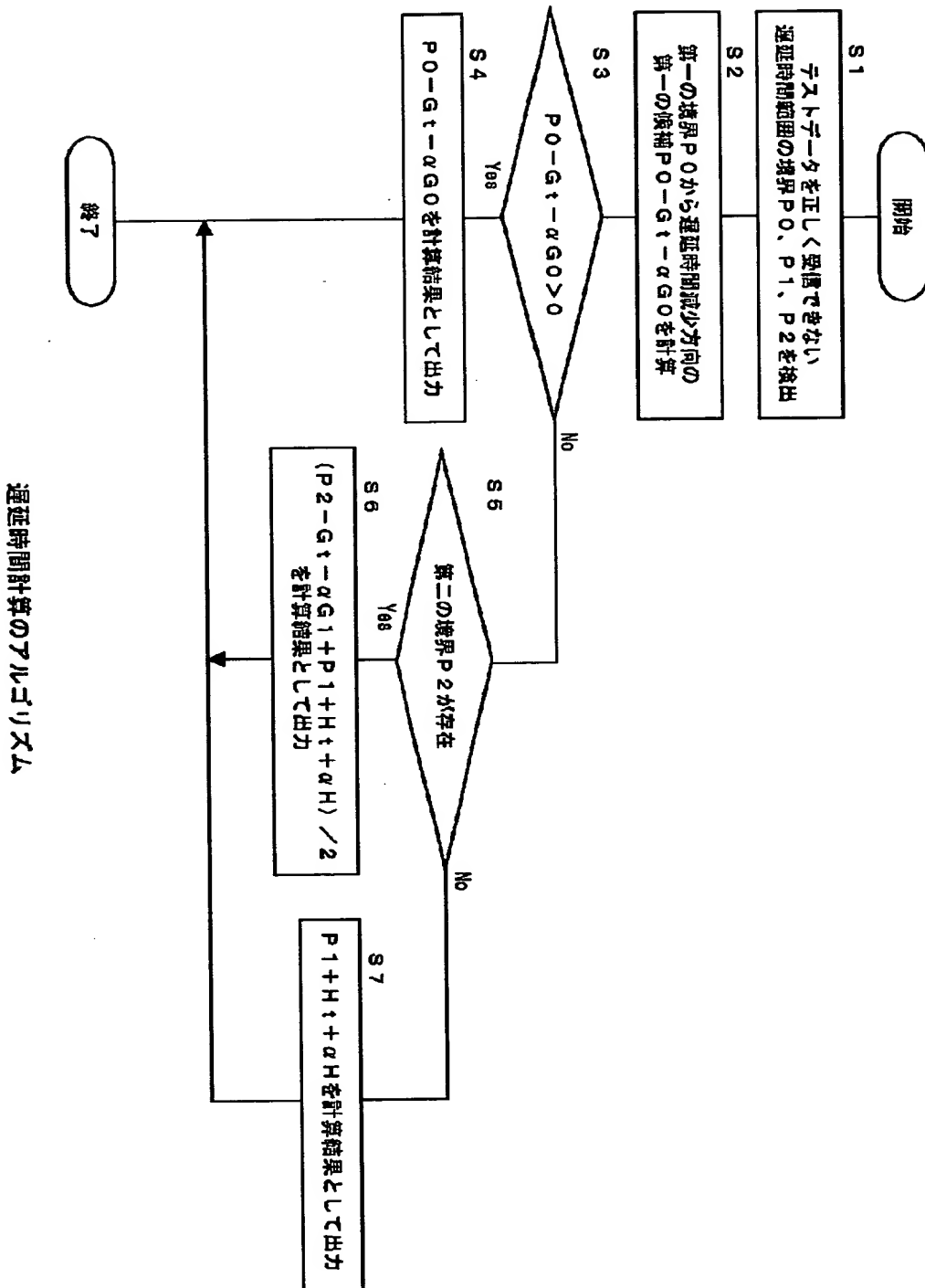


クロック201

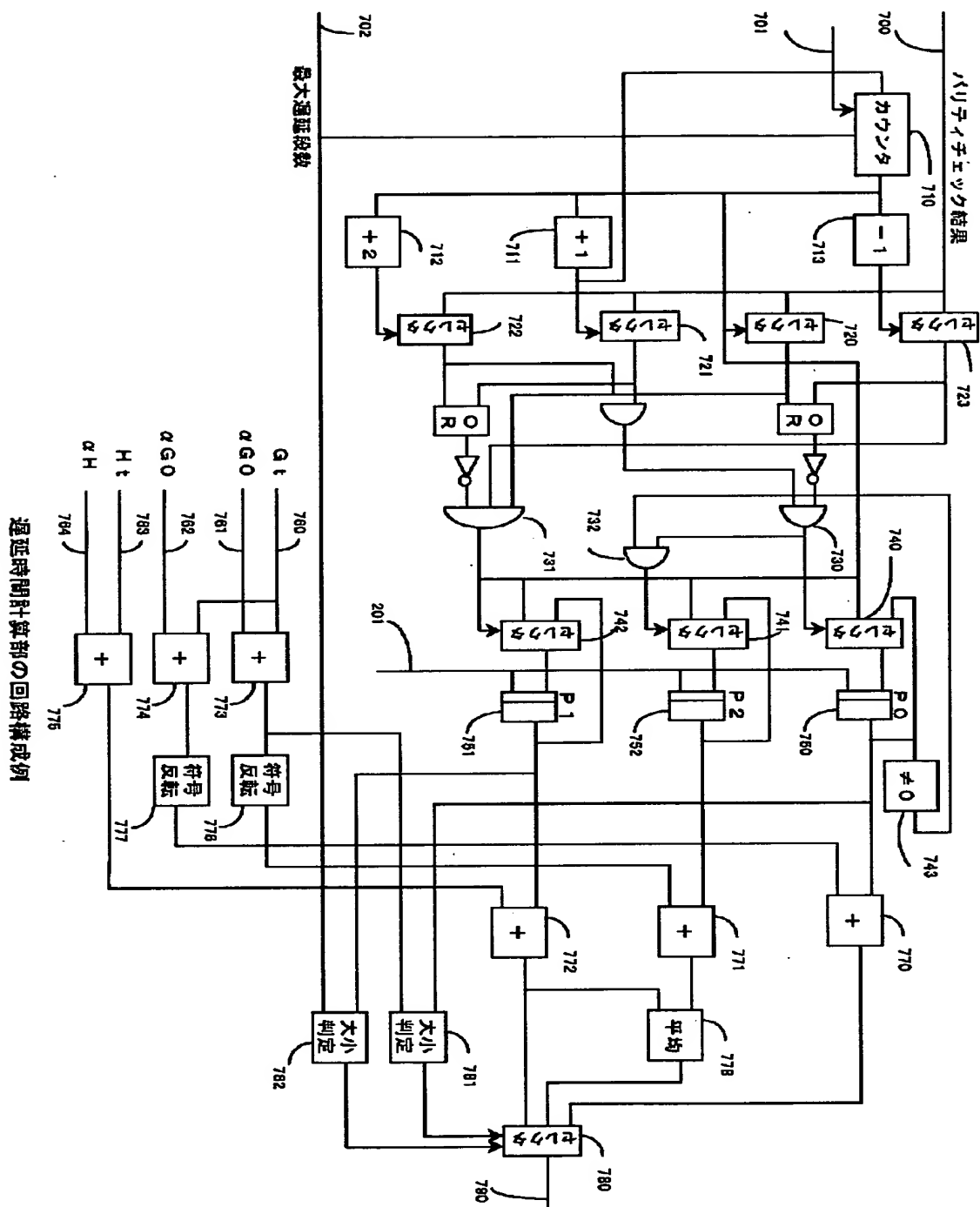


【図3】

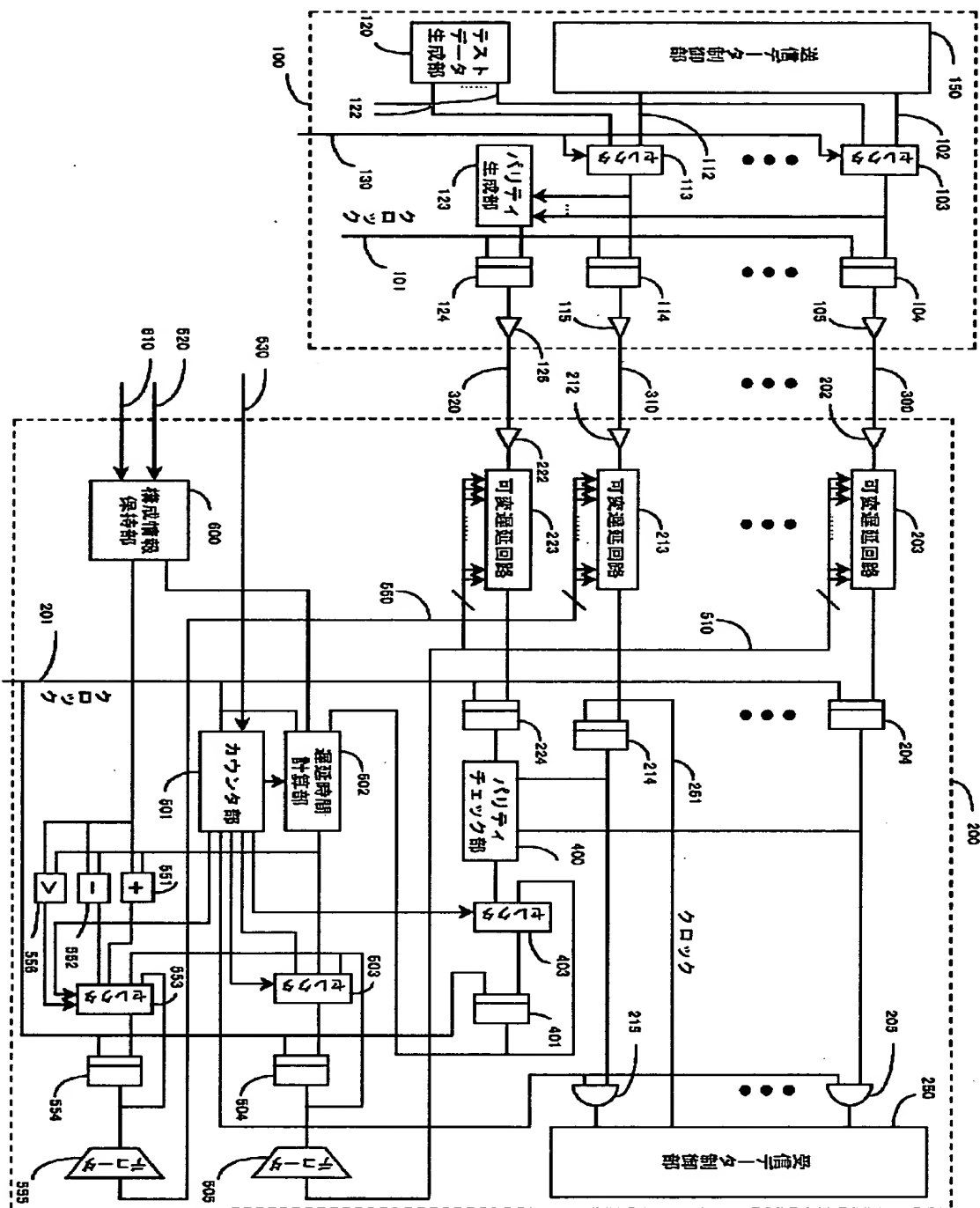
【図 4】



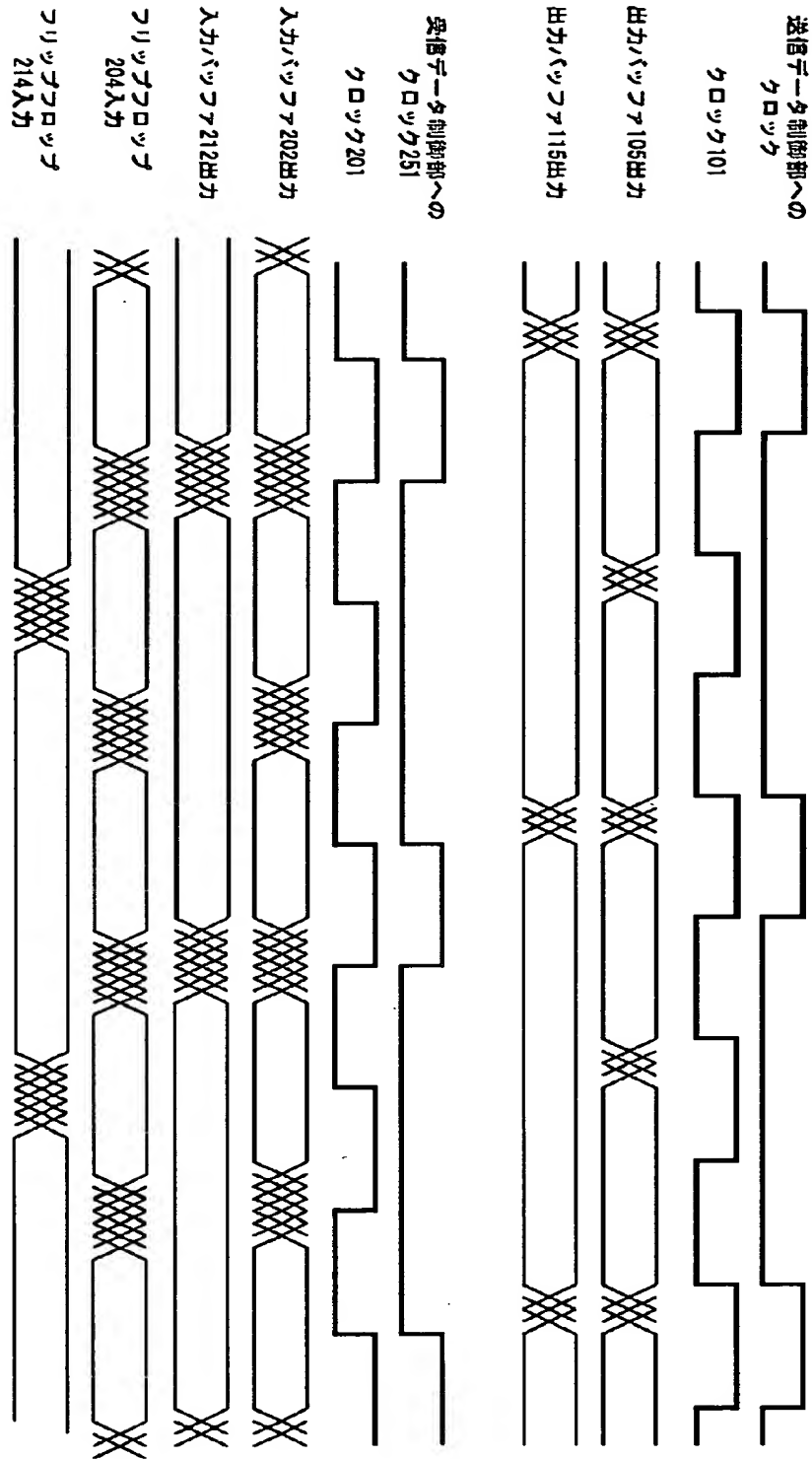
【図 5】



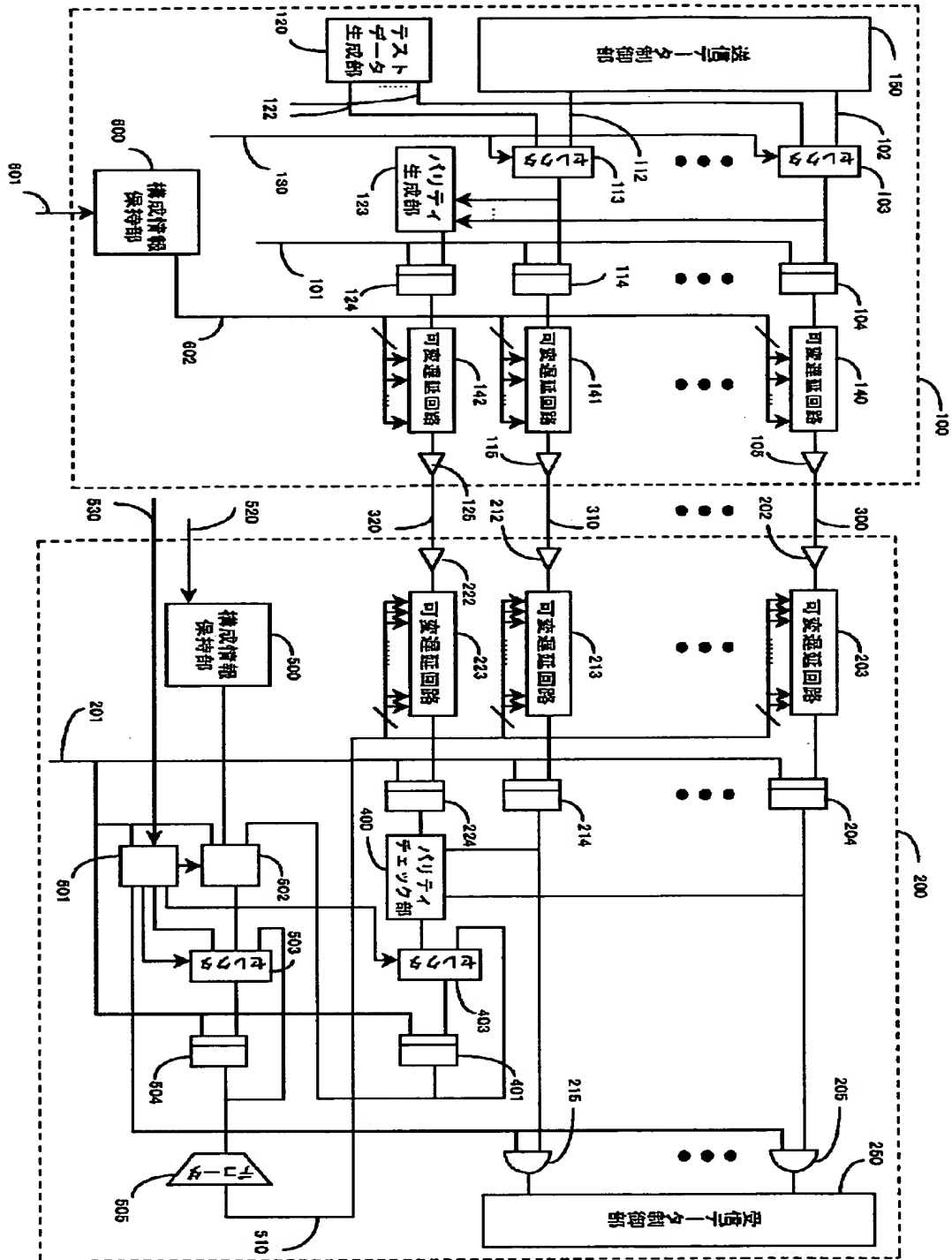
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 周波数は同じであるが位相は一致しない非同期のクロックで動作するユニット間で、より高い周波数で安定してデータ等を送受信できるようにする。

【解決手段】 送信側ユニット 1 0 0 のクロック信号に同期して送出されたデータを、受信側ユニット 2 0 0 のクロック信号に同期して正しく取り込まれるように、多段に遅延時間を制御可能な可変遅延回路 2 0 3、2 1 3 を伝送路中に設ける。更に、送信側ユニットのクロック信号に同期して送出したテストデータを可変遅延回路 2 0 3 のどの遅延時間において正しく受信したかを判定する手段 4 0 0 と、そのチェック結果と、伝送路の特性及び周波数に基いて外部から設定される遅延時間変動情報及び位相マージン情報の値を用いて、可変遅延回路 2 0 3、2 1 3 の最適な遅延時間を計算する手段 5 0 2 を設けた。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所